



Docket No.: 492322013100  
(PATENT)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In the application of:

Shuichi KIKUCHI et al.

Serial No.: 10/603,083

Filing Date: June 25, 2003

For: MANUFACTURING METHOD OF  
SEMICONDUCTOR DEVICE

Examiner: Not Yet Assigned

Group Art Unit: 2812

**CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

Applicants hereby claim priority under 35 U.S.C. 119 based on the following prior foreign application filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Japan	2002-188282	06/27/2002

In support of this claim, a certified copy of the said original foreign application is filed herewith.

Dated: October 23, 2003

Respectfully submitted,

By Alex C. Britschneider  
Barry E. Bretschneider 31,942  
Registration No.: 28,055

MORRISON & FOERSTER LLP  
1650 Tysons Blvd, Suite 300  
McLean, Virginia 22102  
703-760-7743

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2002年 6月27日

出 願 番 号  
Application Number:

特願2002-188282

[ ST.10/C ]:

[ JP2002-188282 ]

出 願 人  
Applicant(s):

三洋電機株式会社

2003年 5月27日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎

出証番号 出証特2003-3040123

【書類名】 特許願

【整理番号】 KIA1020016

【提出日】 平成14年 6月27日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社  
社内

【氏名】 菊池 修一

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社  
社内

【氏名】 上原 正文

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社  
社内

【氏名】 西部 栄次

【発明者】

【住所又は居所】 群馬県大泉町坂田4-7-15 メゾン・ド・モリ10  
5

【氏名】 安齊 勝義

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代表者】 桑野 幸徳

【代理人】

【識別番号】 100107906

【弁理士】

【氏名又は名称】 須藤 克彦

【電話番号】 0276-30-3151  
【選任した代理人】  
【識別番号】 100091605  
【弁理士】  
【氏名又は名称】 岡田 敬  
【手数料の表示】  
【予納台帳番号】 077770  
【納付金額】 21,000円  
【提出物件の目録】  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【包括委任状番号】 9904682  
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 第 1 導電型の半導体基板と、この半導体基板の表面に配置されたゲート絶縁膜と、このゲート絶縁膜上に配置されたゲート電極と、このゲート電極の一方の端に隣接し、前記半導体基板の表面に配置された第 2 導電型のソース層と、前記ゲート電極の他方の端から離間して、前記半導体基板の表面に配置され、前記ソース層よりも深い第 2 導電型の高濃度のドレイン層と、この高濃度のドレイン層と前記ゲート電極の他端の間であって前記半導体基板の表面に配置された第 2 導電型の低濃度のドレイン層と、を具備することを特徴とする半導体装置。

【請求項 2】 前記高濃度のドレイン層より深い領域に配置されこの高濃度のドレイン層と P N 接合を成す第 1 導電型の埋め込み層を具備することを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記高濃度のドレイン層は、前記低濃度のドレイン層より深いことを特徴とする請求項 1 または 2 記載の記載の半導体装置。

【請求項 4】 前記高濃度のドレイン層は、前記低濃度のドレイン層より浅いことを特徴とする請求項 1 または 2 記載の記載の半導体装置。

【請求項 5】 前記高濃度のドレイン層は、前記ソース層よりも深い第 1 ドレイン層と、前記ソース層と同じ深さの第 2 ドレイン層から成ることを特徴とする請求項 1、2、3、4 のいずれかに記載の半導体装置。

【請求項 6】 前記低濃度のドレイン層の表面に前記ゲート酸化膜よりも厚い酸化膜が配置され、前記ゲート電極はこの厚い酸化膜の一部上に延在することを特徴とする請求項 1、2、3、4 のいずれかに記載の半導体装置。

【請求項 7】 第 1 導電型の半導体基板の表面に第 2 導電型の低濃度のドレイン層及びこの低濃度のドレイン層に隣接する領域に高濃度の第 2 導電型の第 1 ドレイン層を形成する工程と、

前記半導体基板上にゲート絶縁膜を形成する工程と、

このゲート絶縁膜上であって、前記低濃度にドレイン層に隣接してゲート電極

を形成する工程と、

高濃度の第 2 導電型のソース層及び前記高濃度の第 1 ドレイン層に重畳して高濃度の第 2 導電型の第 2 ドレイン層を同一のイオン注入工程で形成する工程とを具備し、

前記高濃度の第 1 ドレイン層を前記高濃度のソース層よりも深く形成することを特徴とする半導体装置の製造方法。

【請求項 8】 第 1 導電型の半導体基板の表面に第 2 導電型の低濃度のドレイン層、この低濃度のドレイン層に隣接する領域に高濃度の第 2 導電型の第 1 ドレイン層、及びこの高濃度の第 1 のドレイン層より深い領域に第 1 導電型の埋め込み層をそれぞれ形成する工程と、

前記半導体基板上にゲート絶縁膜を形成する工程と、

このゲート絶縁膜上であって、前記低濃度のドレイン層に隣接してゲート電極を形成する工程と、

第 2 導電型の高濃度のソース層及び前記高濃度の第 1 ドレイン層に重畳して、第 2 導電型の高濃度の第 2 ドレイン層を同一のイオン注入工程で形成する工程とを具備し、

前記高濃度の第 1 ドレイン層を前記高濃度のソース層よりも深く形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体装置に関し、特に半導体集積回路に内蔵される高耐圧 MOS トランジスタに関する。

【 0 0 0 2 】

【従来の技術】

高耐圧 MOS トランジスタは、高いソースドレイン耐圧（BVDS）、あるいは高いゲート耐圧を有しており、LCD ドライバー、EL ドライバーや電源回路等に応用されている。

【 0 0 0 3 】

図 6 は、従来例に係る N チャンネル型の高耐圧 MOS トランジスタの構造を示す断面図である。P 型のシリコン基板 1 0 0 の表面にゲート酸化膜 1 0 1、厚いフィールド酸化膜 1 0 2 が形成されている。そして、ゲート酸化膜 1 0 1 から隣接するフィールド酸化膜 1 0 2 の一部上に延在するゲート電極 1 0 3 が形成されている。このゲート電極 1 0 3 の一方の端に隣接するシリコン基板 1 0 0 の表面領域に N + 型ソース層 1 0 4 が形成されている。また、ゲート電極 1 0 3 の他方の端から離間して、半導体基板 1 0 0 の表面に N + 型ドレイン層 1 0 5 が形成されている。

#### 【 0 0 0 4 】

この N + 型ドレイン層 1 0 5 とゲート電極 1 0 3 の他端の間であってシリコン基板 1 の表面領域（オフセット領域）には、N - 型ドレイン層 1 0 6 が形成されている。N - 型ドレイン層 1 0 6 は、N + 型ドレイン層 1 0 5 より深く拡散され、フィールド酸化膜 1 0 2 の下方からゲート電極 1 0 3 の端に至る領域に広がっている。

#### 【 0 0 0 5 】

上記の高耐圧 MOS トランジスタ構造によれば、N - 型ドレイン層 1 0 6 を設けたことにより、ドレイン層 1 0 6 に高電圧を印加した場合に、N - 型ドレイン層 1 0 6 の中に空乏層が広がることでドレイン電界が緩和されるため、高いソースドレイン耐圧を得ることができる。また、ゲート電極 1 0 3 はゲート酸化膜 1 0 1 から隣接するフィールド酸化膜 1 0 2 の一部上に延在しているため、ゲート酸化膜 1 0 3 の破壊にも強い構造を有している。

#### 【 0 0 0 6 】

##### 【発明が解決しようとする課題】

しかしながら、本発明者の実験によれば、上記従来のトランジスタ構造では、静電破壊耐量（以下、ESD 耐量という）が低いという問題があった。例えば、人体モデルに基づく一般的な静電破壊試験（容量 1 0 0 p F、抵抗 1 . 5 K  $\Omega$ ）によれば、5 0 0 V 程度の ESD 耐量であり、これは不十分な値であった。

#### 【 0 0 0 7 】

##### 【課題を解決するための手段】

そこで、本発明者は従来のトランジスタの静電破壊の原因を検討したところ、サージ電流がゲート電極 1 0 3 の下の N - 型ドレイン層 1 0 6 ( 図 9 中の A の部分 ) に集中し、この部分が熱破壊してしまうことが判明した。

## 【 0 0 0 8 】

そこで、本発明は図 2 ( c ) に示すように、N + 型の第 1 ドレイン層 1 1 の下には N - 型ドレイン層 2 A, 2 B が形成されないようにし、かつ N + 型の第 1 ドレイン層 1 1 の下の領域に深い N + 型の第 2 ドレイン層 3 を形成した。N + 型の第 1 ドレイン層 1 1 と第 2 ドレイン層 3 は、一体されて N + 型ソース層 1 0 より深い N + 層となり、その体積が増加する。そのためサージ電流の熱はこの N + 層に分散され、サージ電流により熱破壊に強くなる。

## 【 0 0 0 9 】

また、N + 型の第 2 ドレイン層 3 の下の領域に、P + 型埋め込み層 4 を形成する。これにより、第 1 ドレイン層 1 1 及び第 2 ドレイン層 3 と、P + 型埋め込み層 4 との間で濃度の高い P N 接合が形成される。即ち、局所的に接合耐圧が小さい領域が形成される。このため、ゲート電極 8 の下の N - 型ドレイン層 2 A が熱破壊する前に、サージ電流はこの P N 接合を通過してシリコン基板 1 に逃げる。その結果、E S D 耐量を向上することができる。

## 【 0 0 1 0 】

## 【発明の実施の形態】

次に、本発明の実施形態による半導体装置及びその製造方法について、図面を参照しながら説明する。

## 【 0 0 1 1 】

まず、図 1 ( a ) に示すように、まず、P 型シリコン基板 1 ( 不純物濃度 : 約  $1 \times 10^{15} / \text{cm}^3$  ) を用意する。そして、P 型シリコン基板 1 の表面に、N - 型ドレイン層 2 A, 2 B を形成する。N - 型ドレイン層 2 A, 2 B の間は離間されている。この離間領域に N + 型の第 1 ドレイン層 3 を形成する。更に、第 1 ドレイン層 3 の下の領域に P + 型埋め込み層 4 を形成する。

## 【 0 0 1 2 】

これらの層の形成方法について具体的に説明すると、まず、N - 型ドレイン層



2 A, 2 B 形成用のマスクを用いてイオン注入を行う。上記離間領域に、イオン注入がされないようにしているため、N-型ドレイン層は形成されない。このイオン注入は、例えばリン ( $^{11}\text{P}^+$ ) をdose量  $2 \times 10^{13} / \text{cm}^2$  の条件でP型シリコン基板1に打ち込む。

## 【 0 0 1 3 】

次に、N+型の第1ドレイン層3、P+型埋め込み層4形成用のマスクを用いて、例えばボロン ( $^{11}\text{B}^+$ ) をdose量  $2 \times 10^{13} / \text{cm}^2$ 、加速エネルギー  $160 \text{ KeV}$  の条件で打ち込む。次に、同じマスクを用いて、例えば砒素 ( $^{75}\text{As}^+$ ) をdose量  $5 \times 10^{15} / \text{cm}^2 \sim 1 \times 10^{16} / \text{cm}^2$ 、加速エネルギー  $40 \text{ KeV} \sim 50 \text{ KeV}$  の条件でP型シリコン基板1に打ち込む。

## 【 0 0 1 4 】

上記イオン注入の順番は任意に選択することができる。ただし、砒素 ( $^{75}\text{As}^+$ ) を先にイオン注入し、その後ボロン ( $^{11}\text{B}^+$ ) をイオン注入するとフォトリジストの爆裂が生じるため、上記の順番にすることが好ましい。

## 【 0 0 1 5 】

イオン注入後に熱拡散を行うと図1 (a) の構造が得られる。熱拡散の条件は例えば  $1100^\circ\text{C}$ 、 $\text{N}_2$  雰囲気である。図1 (a) では、N+型の第1ドレイン層3がN-型ドレイン層2 A, 2 B より深く拡散されている例を示したが、これには限られず、N-型ドレイン層2 A, 2 B より浅く拡散されていてもよい。同時拡散を行う場合には拡散の深さは、イオン注入のdose量により制御できる。また、N-型ドレイン層2 A, 2 B とN+型の第1ドレイン層3の熱拡散を別の工程で行うこともできる。

## 【 0 0 1 6 】

次に、図1 (b) に示すように、LOCOS (Local Oxidation Of Silicon) 法を用いて、N-型ドレイン層2 A, 2 B の表面に、それぞれ厚いフィールド酸化膜5 A, 5 B を形成する。厚いフィールド酸化膜5 A, 5 B は一般には素子分離用に形成されるが、この半導体装置では高耐圧トランジスタの耐圧を向上するために利用している。その膜厚は目標耐圧によって異なるが、 $300 \text{ nm} \sim 600 \text{ nm}$  程度である。さらに厚いフィールド酸化膜5 A, 5 B を除く、シリコン基

板 1 の表面領域にゲート酸化膜 6 を形成する。その膜厚もトランジスタのゲート耐圧の目標耐圧によって異なるが、 $15\text{ nm} \sim 100\text{ nm}$  程度である。厚いフィールド酸化膜 5 A, 5 B は、ゲート酸化膜 6 よりも相当厚い膜厚を有している。

## 【 0 0 1 7 】

次に、図 1 (c) に示すように、LPCVD 法により全面にポリシリコン層 7 を堆積し、更にリン等の不純物を拡散して低抵抗化する。

## 【 0 0 1 8 】

次に、図 2 (a) に示すように、ポリシリコン層 7 を不図示のフォトリジストを用いて選択的にエッチングし、ゲート電極 8 を形成する。ゲート電極 8 は、ゲート酸化膜 6 上から隣接するフィールド酸化膜 5 A の一部上に延在するようにエッチングされる。

## 【 0 0 1 9 】

次に、図 2 (b) に示すように、N+型ソース層 1 0 及び N+型の第 2 ドレイン層 1 1 形成する。この工程は、N+型の第 1 ドレイン層 3 上に開口を有するフォトリジスト層 9 を形成し、このフォトリジスト層 9 をマスクとしてイオン注入を行う。このイオン注入は、例えば砒素 ( $^{75}\text{As}^+$ ) をdose量  $4 \times 10^{15} / \text{cm}^2$ 、加速エネルギー  $40\text{ KeV}$  の条件で打ち込み、その後、リン ( $^{31}\text{P}^+$ ) をdose量  $4 \times 10^{15} / \text{cm}^2$ 、加速エネルギー  $40\text{ KeV}$  の条件で打ち込む。ここで、フォトリジスト層 9 を形成する前に、CVD酸化膜を全面に堆積し、このCVD酸化膜を異方性エッチングし、ゲート電極 8 の側壁にスペーサ酸化膜を形成してもよい。この際に、マスクを用いてN+型の第 1 ドレイン層 3 上に開口を有するように上記CVD酸化膜を残存させ、このCVD酸化膜上にフォトリジスト層を形成した状態で、上記のイオン注入を行うようにしてもよい。

## 【 0 0 2 0 】

即ち、N+型ソース層 1 0 及び N+型の第 2 ドレイン層 1 1 は、砒素 ( $^{75}\text{As}^+$ ) とリン ( $^{31}\text{P}^+$ ) の 2 種類の N 型不純物で形成される。その後の熱処理で、リン ( $^{31}\text{P}^+$ ) は砒素 ( $^{75}\text{As}^+$ ) より深く拡散されるため、ソースドレイン耐圧の向上に効果がある。次に、フォトリジスト層 9 を除去し、 $800^\circ\text{C}$  で、N+型ソース層 1 0 及び N+型ドレイン層 1 1 のアニールを行う。

## 【 0 0 2 1 】

そして、図 2 (c) に示すように、層間絶縁膜として B P S G 膜 1 2 を C V D 法により堆積する。その後、N + 型ソース層 1 0 及び N + 型の第 1 ドレイン層 1 1 上にコンタクトホールを形成し、N + 型ソース層 1 0 上にソース電極 1 3、N + 型の第 1 ドレイン層 1 1 上にドレイン電極 1 4 を形成する。

## 【 0 0 2 2 】

このようにして完成した半導体装置によれば、N + 型の第 1 ドレイン層 1 1 の下には N - 型ドレイン層 2 A、2 B が形成されないようにし、かつ N + 型の第 1 ドレイン層 1 1 の下の領域に深い N + 型の第 2 ドレイン層 3 を形成した。N + 型の第 1 ドレイン層 1 1 と第 2 ドレイン層 3 は、一体されて N + 型ソース層 1 0 より深い N + 層となり、その体積が増加する。そのためサージ電流の熱はこの N + 層に分散され、サージ電流により熱破壊に強くなる。

## 【 0 0 2 3 】

また、N + 型の第 2 ドレイン層 3 の下の領域に P + 型埋め込み層 4 を形成している。これにより、第 1 ドレイン層 1 1 及び第 2 ドレイン層 3 と、P + 型埋め込み層 4 との間で濃度の高い P N 接合が形成される。即ち、局所的に接合耐圧が小さい領域が形成される。このため、ゲート電極 8 の下の N - 型ドレイン層 2 A が熱破壊する前に、サージ電流はこの P N 接合を通過してシリコン基板 1 に逃げる。その結果、E S D 耐量を向上することができる。

## 【 0 0 2 4 】

図 3 は、P + 型埋め込み層 4 を形成するための上記イオン注入工程におけるボロン ( $^{11}\text{B}^+$ ) のdose量と最小ソースドレイン耐圧  $BVD S_{min}$  との関係を示す図である。ここで、最小ソースドレイン耐圧  $BVD S_{min}$  は、トランジスタが動作中の場合を含めて最も低いソースドレイン耐圧である。一般に、Nチャネル型 MOS トランジスタのソースドレイン耐圧はゲート電圧依存性を示し、ソースドレイン間に電流が流れている状態に対応して、あるゲート電圧の時に最小となる。図 3 に示すように、ボロン ( $^{11}\text{B}^+$ ) のdose量が  $0 \sim 2 \times 10^{13} / \text{cm}^2$  の範囲で、最小ソースドレイン耐圧  $BVD S_{min}$  は 3.6 V でほぼ一定である。ボロン ( $^{11}\text{B}^+$ ) のdose量が  $3 \times 10^{13} / \text{cm}^2$  以上になると、最小ソースド

レイン耐圧  $BVD S_{min}$  は減少する。

【0025】

図4は、P+型埋め込み層4を形成するための上記イオン注入工程におけるボロン ( $^{11}B^+$ ) のdose量とESD耐量の関係を示す図である。ESD耐量はボロン ( $^{11}B^+$ ) のdose量が「0」の場合、即ち、P+型埋め込み層4がない場合に1300Vである。これでも従来例に比してESD耐量は向上しており、N+型の第2ドレイン層3を設けた効果と考えられる。そしてボロン ( $^{11}B^+$ ) のdose量が  $2 \times 10^{13} / \text{cm}^2$  の場合には、ESD耐量は1800Vに向上する。また、N-型ドレイン層2A、2B形成用イオン注入量を増加させて、N-型ドレイン層2A、2Bを更に高濃度にすると、ESD耐量は3000Vに向上した。

【0026】

次に、本発明の第2の実施形態について図5を参照して説明する。この半導体装置では、N+型の第1ドレイン層11の下にはN-型ドレイン層2A、2Bが形成されないようにし、かつN+型の第1ドレイン層11の下領域に深いN+型の第2ドレイン層20を形成する点、及びN+型の第2ドレイン層20の下領域にP+型埋め込み層21を形成する点は第1の実施形態と同様であるが、N+型の第2ドレイン層20の拡散深さがN-型ドレイン層2A、2Bの拡散深さよりも浅い点が異なっている。

【0027】

N+型の第1ドレイン層11と第2ドレイン層20とが一体化されたN+層の体積は第1実施形態と比較すると小さいが、従来例に比してESD耐量の向上が期待される。

【0028】

なお、上記実施形態では、Nチャネル型MOSトランジスタについて説明したが、本発明はPチャネル型MOSトランジスタについても同様に適用することができる。

【0029】

【発明の効果】

本発明によれば、MOSトランジスタのN+型の第1ドレイン層11の下にはN-型ドレイン層2A、2Bが形成されないようにし、かつN+型の第1ドレイン層11の下領域に深いN+型の第2ドレイン層3を形成した。N+型の第1ドレイン層11と第2ドレイン層3は、一体されてN+型ソース層10より深いN+層となり、その体積が増加する。そのためサージ電流の熱はこのN+層に分散され、サージ電流により熱破壊に強くなる。実験によれば、ESD耐圧は1300Vに向上した。

【0030】

また、上記構成に加えて、N+型の第2ドレイン層3の下領域にP+型埋め込み層4を形成する。これにより、ESD耐圧はさらに1300V～3000Vに向上することができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態による半導体装置及びその製造方法を示す断面図である。

【図2】

本発明の第1の実施形態による半導体装置及びその製造方法を示す断面図である。

【図3】

P+型埋め込み層11を形成するための上記イオン注入工程におけるボロン ( $^{11}\text{B}^+$ ) のdose量と最小ソースドレイン耐圧BVDSminとの関係を示す図である。

【図4】

P+型埋め込み層11を形成するための上記イオン注入工程におけるボロン ( $^{11}\text{B}^+$ ) のdose量とESD耐量との関係を示す図である。

【図5】

本発明の第2の実施形態による半導体装置及びその製造方法を示す断面図である。

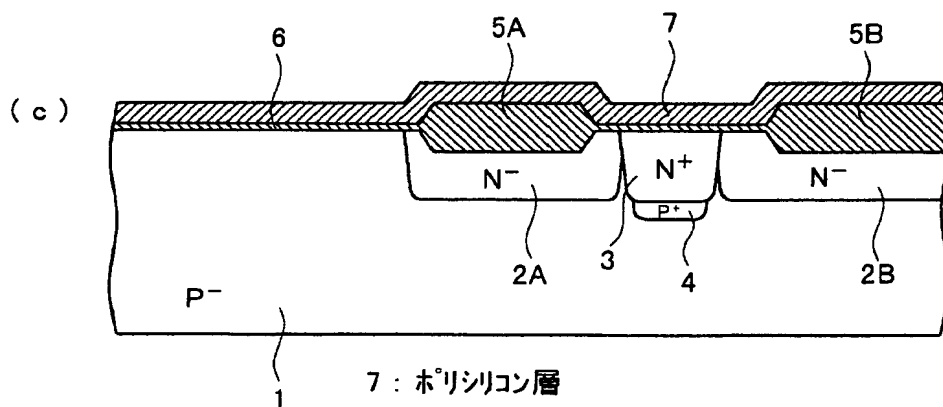
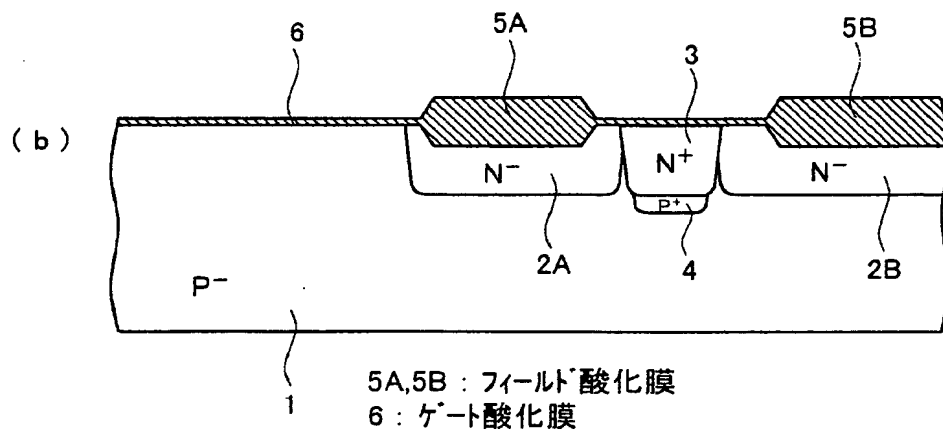
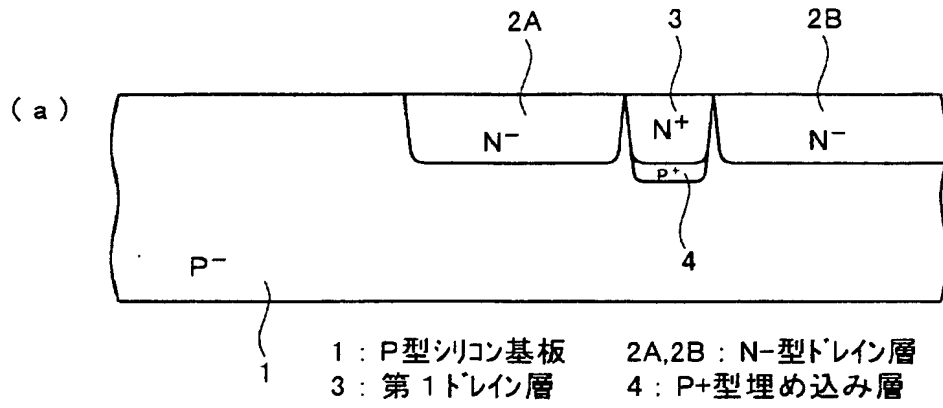
【図6】

従来例に係る半導体装置を示す断面図である。

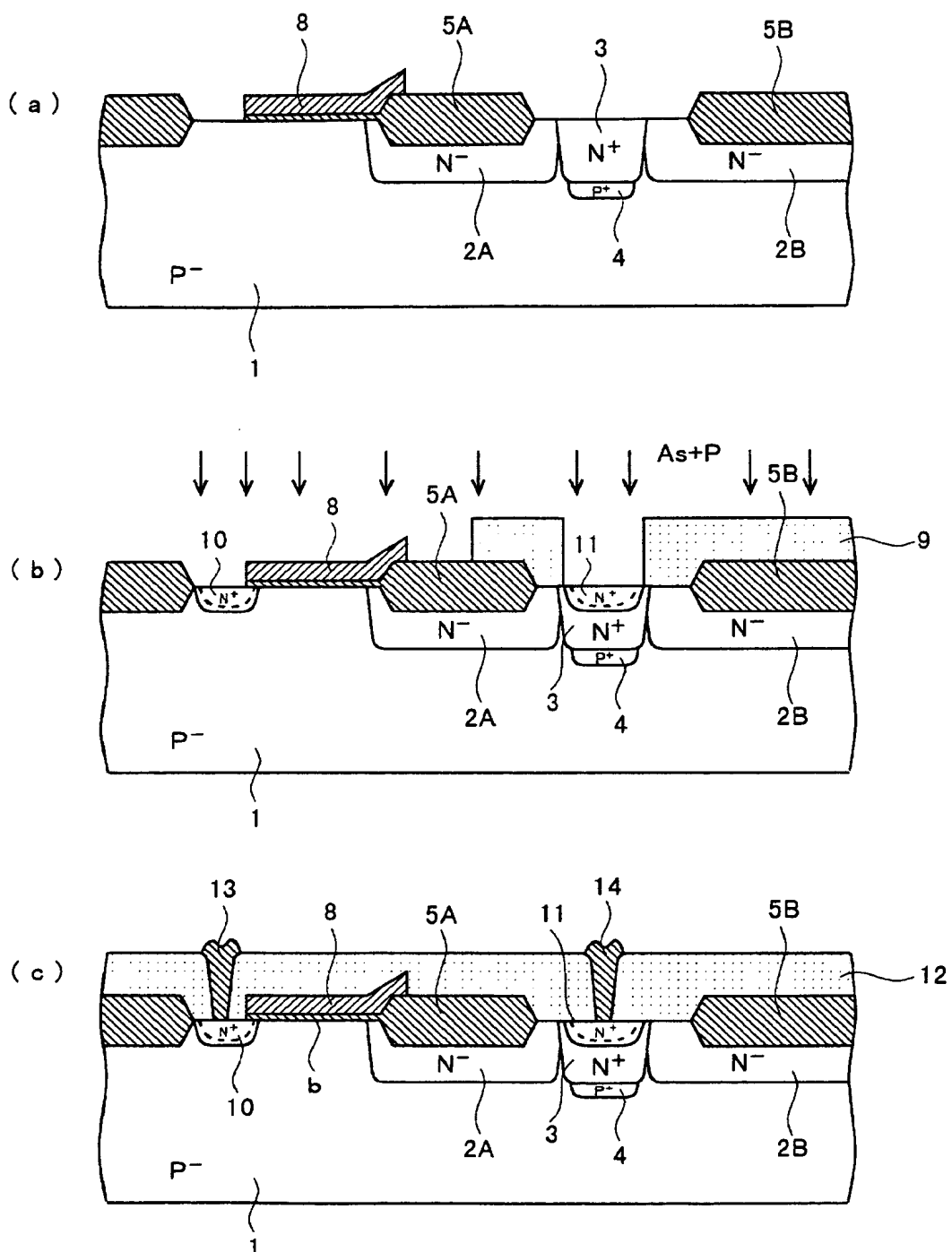
【書類名】

図面

【図 1】

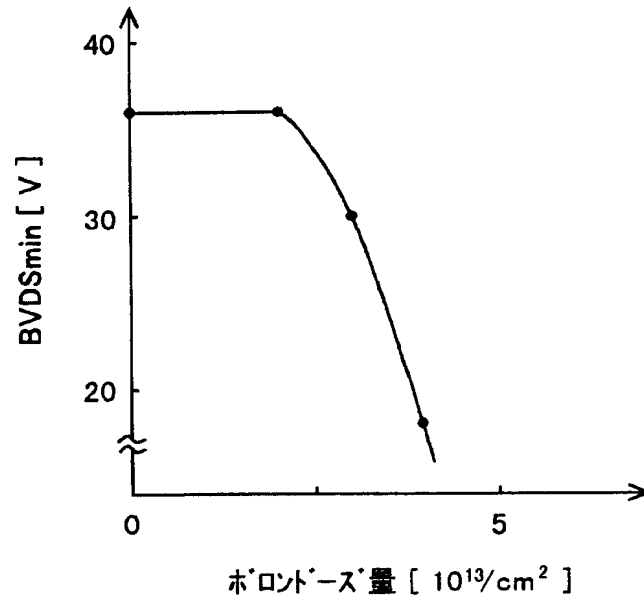


【図 2】

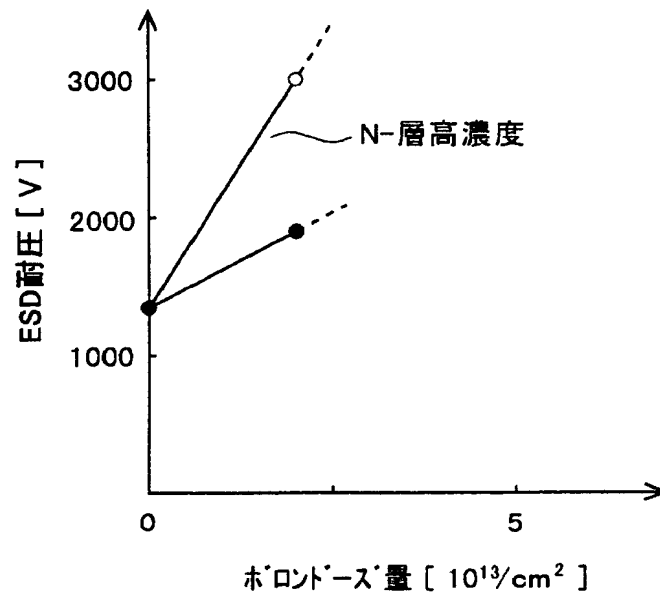




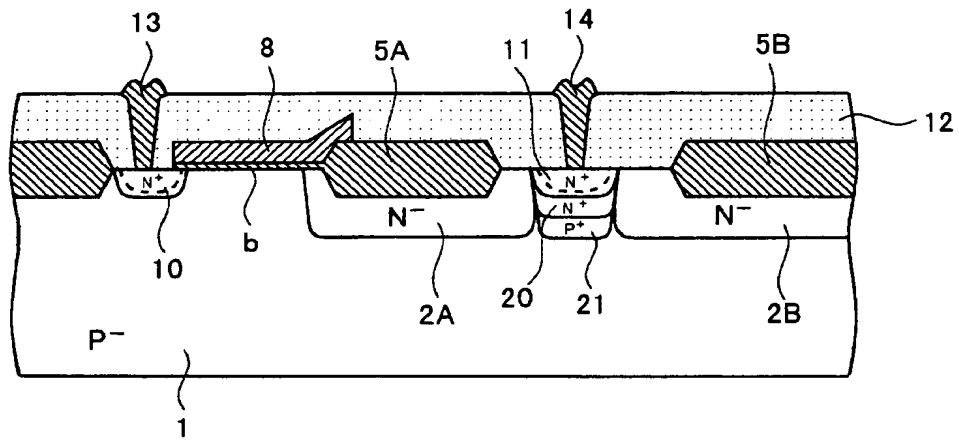
【図 3】



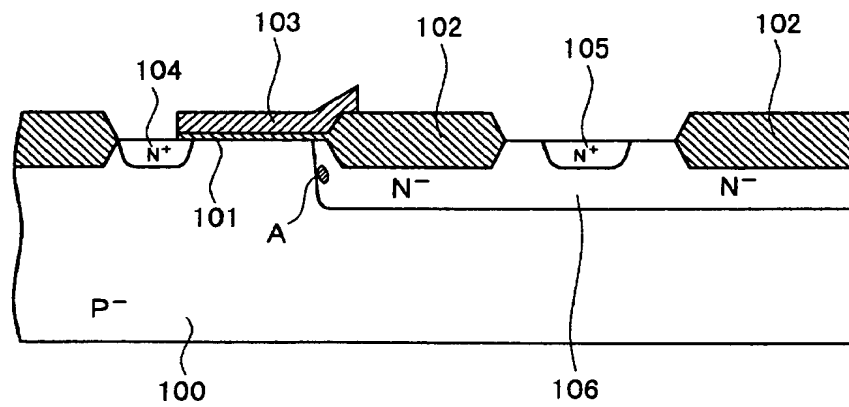
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 高耐圧MOSトランジスタの静電破壊耐量を向上させる。

【解決手段】 N+型の第1ドレイン層11の下にはN-型ドレイン層2A, 2Bが形成されないようにし、かつN+型の第1ドレイン層11の下の領域に深いN+型の第2ドレイン層3を形成した。N+型の第1ドレイン層11と第2ドレイン層3は、一体されてN+型ソース層10より深いN+層となり、その体積が増加する。そのためサージ電流の熱はこのN+層に分散され、サージ電流により熱破壊に強くなる。また、N+型の第2ドレイン層3の下の領域にP+型埋め込み層3を形成する。ゲート電極8の下にN-型ドレイン層2Aが熱破壊する前に、サージ電流は、このPN接合を通過してシリコン基板1に逃げる。その結果、ESD耐量を更に向上することができる。

【書類名】 手続補正書  
【整理番号】 KIA1020016  
【あて先】 特許庁長官殿

【事件の表示】

【出願番号】 特願2002-188282

【補正をする者】

【識別番号】 000001889  
【氏名又は名称】 三洋電機株式会社  
【代表者】 桑野 幸徳

【代理人】

【識別番号】 100107906  
【弁理士】  
【氏名又は名称】 須藤 克彦  
【電話番号】 0276-30-3151

【手続補正 1】

【補正対象書類名】 特許願  
【補正対象項目名】 発明者  
【補正方法】 変更

【補正の内容】

【発明者】

【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会  
社内

【氏名】 菊地 修一

【発明者】

【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会  
社内

【氏名】 上原 正文

【発明者】

【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会

社内

【氏名】 西部 栄次

【発明者】

【住所又は居所】 群馬県大泉町坂田 4 - 7 - 1 5 メゾン・ド・モリ 1 0  
5

【氏名】 安齊 勝義

【その他】 共同発明者の一人の氏名の記載に誤記がありましたので、  
手続補正により当該発明者の正しい氏名を記載します。  
（誤記の理由）特許願作成時の錯誤により、筆頭発明者を「菊地 修一」と記載すべきところ、「菊地」を「菊池」に誤り、「菊池 修一」と記載してしまった為です。

【プルーフの要否】 要

認 定 ・ 付 加 情 報

特許出願の番号	特願 2 0 0 2 - 1 8 8 2 8 2	
受付番号	5 0 2 0 0 9 6 8 8 6 2	
書類名	手続補正書	
担当官	田丸 三喜男	9 0 7 9
作成日	平成 1 4 年 7 月 8 日	

< 認定情報・付加情報 >

【提出日】	平成14年 7月 2日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 1 8 8 9 ]

1. 変更年月日	1 9 9 3 年 1 0 月 2 0 日
[変更理由]	住所変更
住 所	大阪府守口市京阪本通 2 丁目 5 番 5 号
氏 名	三洋電機株式会社